

## Obsah

ZOZNAM POUŽITÝCH SKRATIEK .....	5
ZOZNAM POUŽITÝCH SYMBOLOV .....	7
ZOZNAM OBRÁZKOV A TABULIEK .....	8
PREDHOVOR .....	10
ÚVOD .....	12
1 Definovanie požiadaviek a kritérií pre použitie programovateľných obvodov ...	13
2 Metódy implementácie číslicových systémov .....	17
2.1 Programovateľné logické polia .....	19
2.2 Hardvérové deskripčné jazyky .....	21
2.2.1 Návrh číslicového systému v jazyku VHDL .....	23
2.2.2 Metódy prekladu .....	26
2.2.3 Popis číslicového systému v jazyku VHDL .....	28
2.2.4 Úrovnne abstrakcie .....	29
2.2.4.1 Behaviorálny popis .....	29
2.2.4.2 Popis pomocou údajových tokov .....	30
2.2.4.3 Štrukturálny popis .....	31
2.2.5 Entity a architektúry .....	31
2.2.6 Návrhové bloky .....	35
2.2.6.1 Entita .....	35
2.2.6.2 Architektúra .....	36
2.2.6.3 Kontajner .....	37
2.2.6.4 Konfigurácia .....	39
2.2.7 Obmedzenia jazyka VHDL .....	39
2.3 Návrh pomocou obvodových generátorov .....	41
2.4 Výkonnostné porovnanie obvodov FPGA, ASIC a univerzálnych procesorov .....	46
2.5 Aplikácie pre rekonfigurovateľné logické obvody .....	49
2.6 Bezpečnosť v rekonfigurovateľných hardvérových zariadeniach .....	52
2.7 Prehľad dostupných technológií programovateľných obvodov .....	54
3 Analýza súčasného stavu v oblasti parciálnej dynamickej rekonfigurácie číslicových systémov a architektúr .....	57
3.1 Rekonfigurácia v čase prekladu .....	58

3.2	Rekonfigurácia počas vykonávania aplikácie .....	59
3.2.1	Globálna rekonfigurácia štruktúry logického obvodu počas výpočtu.....	61
3.2.2	Parciálna rekonfigurácia štruktúry logického obvodu počas výpočtu.....	63
4	Realizácia parciálnej RTR v obvodoch XILINX .....	65
4.1	Realizácia návrhu pomocou obvodov typu FPGA .....	65
4.1.1	Vytvorenie návrhu .....	66
4.1.2	Simulácia .....	66
4.1.3	Syntéza.....	67
4.1.4	Preklad .....	68
4.1.5	Mapovanie .....	68
4.1.6	Umiestnenie .....	68
4.1.7	Smerovanie .....	69
4.1.8	Časová analýza .....	69
4.1.9	Generovanie konfiguračného bitového toku .....	70
4.2	Realizácia návrhu využívajúceho parciálnu RTR obvodov typu FPGA.....	71
4.3	Technologická podpora parciálnej RTR.....	73
4.3.1	Konfiguračný bitový tok.....	74
4.3.2	Rozhranie ICAP.....	76
4.3.3	Rekonfigurácia obvodu typu FPGA .....	78
4.4	Vytvorenie systému s parciálnou rekonfiguráciou v obvodoch typu XILINX .....	81
5	Časová analýza parciálnej rekonfigurácie obvodov typu FPGA .....	91
5.1	Univerzálna architektúra systému využívajúca parciálnu rekonfiguráciu .	93
5.2	Architektúra systému využívajúca parciálnu rekonfiguráciu implementovanú v obvodoch XILINX.....	95
5.3	Model pre určenie času na realizáciu rekonfigurácie obvodu typu FPGA .	98
6	Návrh procesora s parciálnou rekonfiguráciou .....	103
6.1	Architektúra procesora riadeného tokom údajov .....	105
6.2	Popis činnosti procesora riadeného tokom údajov .....	110
6.3	Návrh riadiacej, operačnej a vstupno-výstupnej časti procesora riadeného tokom údajov .....	113
	ZÁVER .....	115
	LITERATÚRA .....	118
	PRÍLOHY .....	124