

Obsah

Návrh číslicových systémov.....	1
Obsah.....	3
Zoznam použitých skratiek	7
Zoznam obrázkov a tabuliek	9
Úvod.....	11
1 Vlastnosti a použitie programovateľných logických obvodov.....	13
1.1 Programovateľné logické polia.....	14
1.1.1 Dôvody použitia programovateľných logických obvodov.....	14
1.1.2 Programovateľné logické obvody	14
1.1.3 Obvody typu PAL	16
1.1.4 Obvody typu GAL.....	17
1.1.5 Obvody typu CPLD.....	17
1.1.6 Obvody typu FPGA.....	20
1.1.7 Kritéria pre výber programovateľného obvodu.....	24
1.2 Aplikácie pre rekonfigurovateľné logické obvody.....	26
1.3 Výkonnostné porovnanie obvodov FPGA, ASIC a univerzálnych procesorov	28
1.4 Definovanie požiadaviek a kritérií pre použitie programovateľných obvodov	30
1.5 Bezpečnosť v rekonfigurovateľných hardvérových zariadeniach.....	33
1.6 Prehľad dostupných technológií programovateľných obvodov	34
2 Metódy návrhu číslicového systému	36
2.1 Realizácia návrhu pomocou obvodov typu FPGA	36
2.1.1 Vytvorenie návrhu.....	36
2.1.2 Simulácia.....	37
2.1.3 Syntéza	37
2.1.4 Preklad.....	38
2.1.5 Mapovanie.....	38
2.1.6 Umiestnenie.....	38
2.1.7 Smerovanie.....	39
2.1.8 Časová analýza.....	39
2.1.9 Generovanie konfiguračného bitového toku	39
2.2 Schematický návrh	40
2.3 Návrh pomocou obvodových generátorov	41
2.4 Hardvérové deskripčné jazyky	44
3 Úvod do jazyka VHDL	47
3.1 Metódy prekladu.....	49
3.2 Metódy simulácie	51
3.2.1 Model času	51
3.2.2 Techniky toku času.....	53
4 Opis číslicového systému v jazyku VHDL	55
4.1 Entity a architektúry	55
4.2 Návrhové bloky	58
4.2.1 Návrhový blok entita.....	58
4.2.2 Návrhový blok architektúra.....	59
4.2.3 Kontajner.....	60
4.2.4 Konfigurácia.....	61
5 Spôsoby opisu číslicového systému v jazyku VHDL	63
5.1 Štruktúrálny opis.....	64
5.2 Opis pomocou údajových tokov	68

5.3	Procedurálny opis	70
5.4	Kombinovaný opis.....	72
6	Objekty v jazyku VHDL	74
6.1	Signály	74
6.1.1	Inicializácia signálu.....	75
6.1.2	Používanie signálov.....	75
6.2	Používanie premenných.....	77
6.3	Používanie konštánt a literálov	78
6.3.1	Konštanty	78
6.3.2	Literály	78
7	Údajové typy a subtypy v jazyku VHDL	81
7.1	Skalárne typy	81
7.1.1	Údajový typ bit.....	81
7.1.2	Údajový typ boolean	82
7.1.3	Údajový typ integer	82
7.1.4	Údajový typ real	82
7.1.5	Údajové typy pre opis fyzikálnych veličín.....	82
7.1.6	Vymenované typy	83
7.2	Kompozitné údajové typy.....	84
7.2.1	Údajový typ pole	84
7.2.2	Údajový typ záznam.....	86
7.2.3	Prístupové typy.....	86
7.2.4	Súborové typy	86
7.3	Konverzie typov	89
7.3.1	Explicitné konverzie typov.....	89
7.3.2	Funkcie pre realizáciu konverzie typu	89
8	Operátory jazyka VHDL	92
8.1	Logické operátory	92
8.2	Operátory priradenia hodnoty.....	93
8.3	Relačné operátory	94
8.4	Operátory pre posuv a rotácie.....	96
8.5	Aritmetické operátory	97
9	Atribúty jazyka VHDL	98
9.1	Preddefinované atribúty	98
9.2	Atribúty hodnoty.....	98
9.3	Atribúty funkcie.....	99
9.4	Atribúty signálu	102
9.5	Atribúty rozsahu a typu	103
10	Použitie štandardnej logiky	104
11	Paralelné výrazy	105
11.1	Priestor pre umiestnenie paralelných výrazov	105
11.2	Priradenie hodnoty signálu	106
11.2.1	Paralelné priradenie hodnoty signálu	106
11.2.2	Podmienené priradenie hodnoty signálu	106
11.2.3	Vybrané priradenie hodnoty signálu	107
11.3	Volanie procedúr.....	108
11.4	Vytváranie inšancií komponentov	108
11.4.1	Výraz generate.....	108
11.4.2	Výraz for-generate.....	109
11.4.3	Výraz if - generate.....	109

11.5	Paralelné procesy	110
11.6	Návrhový blok komponent	111
11.6.1	Mapovanie portov	112
11.6.2	Generické mapovanie	113
11.7	Definovanie oneskorenia	113
11.8	Riadenie signálov	114
12	Sekvenčné výrazy	116
12.1	Výraz process	116
12.1.1	Štruktúra výrazu process	116
12.1.2	Proces s citlivostným zoznamom	117
12.1.3	Proces bez citlivostného zoznamu	118
12.1.4	Použitie procesov pre vytvorenie kombinačnej logiky	119
12.1.5	Procesy na úrovni registrových prenosov	120
12.1.6	Použitie procesov pre opis stavových automatov	121
12.1.7	Reprezentácia stavov stavového automatu	123
12.1.8	Použitie procesu pre vytvorenie testovacích vektorov	126
12.2	Sekvenčné výrazy v podprogramoch	126
12.2.1	Priradenie hodnoty signálu a premennej	128
12.2.2	Výraz if-then-else	129
12.2.3	Výraz case	130
12.2.4	Cykly	130
13	Prvky štruktúrovaného programovania	135
13.1	Funkcie a procedúry	135
13.1.1	Funkcie	135
13.1.2	Operátory ako funkcie	136
13.1.3	Procedúry	137
13.1.4	Deklarovanie globálnych podprogramov	137
13.1.5	Deklarovanie lokálnych podprogramov	138
13.2	Riadenie opisu zložitých návrhov	138
13.2.1	Bloky	139
13.2.2	Vnorené bloky	140
13.2.3	Strážené bloky	140
13.2.4	Kontajner	141
13.2.5	Knižnice návrhov	143
13.2.6	Komponenty	143
14	Testovacia časť návrhu	147
14.1	Jednoduchý testovací súbor	147
14.1.1	Použitie výrazu assert	148
14.1.2	Zobrazenie zložitejších reťazcov pomocou výrazu assert	149
14.2	Použitie slučiek a viacerých procesov	150
14.3	Vytváranie testovacích vektorov	151
14.4	Operácie s textovými súbormi	153
15	Riešené príklady	158
15.1	Odstránenie zákmitu pri zopnutí prepínača	161
15.2	Generovanie impulzu po stlačení spínača	165
15.3	Počítadlo	167
15.4	Delič frekvencie	170
15.5	Zobrazenie čísla na sedemsegmentovom displeji	173
15.6	Zobrazenie stavu počítadla na sedemsegmentovom displeji	179
15.7	Návrh aritmeticko logickej jednotky	186

15.8	Návrh sekvenčných logických systémov	190
15.9	Moorov automat	192
15.10	Mealyho automat	197
16	Načítanie konfigurácie do vývojového systému	200
16.1	Softvérový nástroj iMPACT	203
16.2	Softvérový nástroj Digilent Adept	205
Záver.....		206
Použitá literatúra		208